

## HYPERLYNX 8.0 ANALYSIERT DIE VERSORUNGSLAGEN MODERNER LEITERPLATTEN

# Power-Integrität – kein Problem auf dem Board

**Komplexe Entwürfe, kleine Spannungspegel und ein wachsender Leistungsbedarf der ICs verursachen immer häufiger Probleme mit der Power-Integrität. Detaillierte Kenntnisse über das Stromverteilungsnetz und die Analyse in einer frühen Designphase können dem Elektronikentwickler aus der Klemme helfen.**

PATRICK CARRIER

**P**robleme mit der Power-Integrität werden für Elektronikdesigner zur Plage. Schuld sind einerseits die wachsende Anzahl verschiedener Spannungen innerhalb eines Designs, andererseits deren kleine Spannungspegel. Hinzu kommen der steigende Leistungsbedarf von ICs, die allgegenwärtigen Herausforderungen mit immer höheren Betriebsfrequenzen und die Notwendigkeit, die Fertigungskosten zu senken. Signalintegritätsprobleme gibt es schon länger. Sie sind die Folge von immer schnelleren Flankenraten und führen – wie auch Power-Integritätsprobleme – zu Datenfehlern. Zudem kommt es häufig vor, dass Power- fälschlicherweise als Signal-Integritätsprobleme diagnostiziert werden. Für den Erfolg eines Leiterplattendesigns sind deshalb das Verständnis der Stromversorgungsprobleme sowie ein pro-aktiver Ansatz in der Handhabung dieser Probleme früh im Designzyklus wichtig.

### KONTAKT

**Mentor Graphics (Deutschland) GmbH,**  
80634 München,  
Tel. 089/57096-0,  
Fax 089/57096-400,  
www.mentor.com

### Probleme mit dem Power Distribution Network

Das Ziel beim Entwurf eines Stromverteilungsnetzes (Power Distribution Network, PDN) für eine Leiterplatte ist es, die Impedanz zwischen Power und Masse für den

erforderlichen Frequenzbereich zu minimieren. Das heißt: jegliches unerwünschte AC-Rauschen auf Masse legen. Dieses Designziel ist jedoch nicht so einfach zu erreichen. Mehrere Spannungsschienen, eine begrenzte Zahl verfügbarer Versorgungslagen zur Spannungsübertragung



### WISSENSWERT

#### Warum eine niedrige PDN-Impedanz?

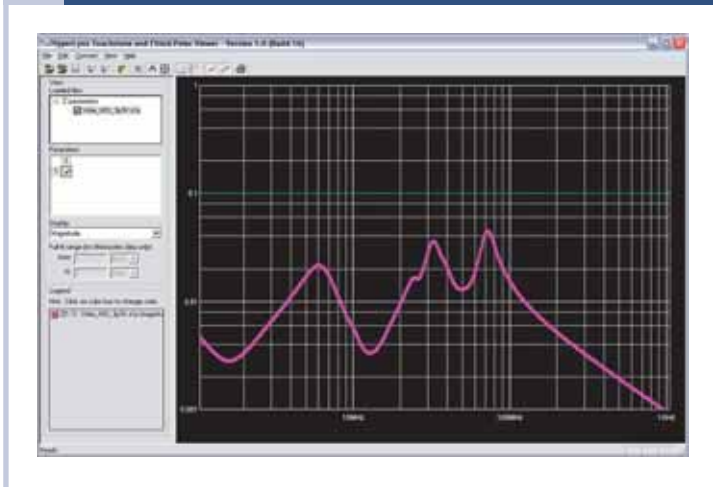
Der größte Vorteil einer niedrigen Impedanz des Stromverteilungsnetzes ist, dass sie die Brummspannung (Voltage Ripple) an den Versorgungspins eines ICs vermindert. Tatsächlich bestimmt der tolerierbare Wert dieser Brummspannung die maximal zulässige PDN-Impedanz. Diese kann mithilfe der Formel  $Z_{pdn} = (\% \text{ ripple} \times V) / I_{max}$  berechnet werden. Dabei ist V die Schienen-Spannung und  $I_{max}$  der maximale Strom, der vom IC gezogen wird. Demzufolge benötigen ICs mit höherer Stromaufnahme und niedrigerer Betriebsspannung eine geringere PDN-Impedanz.

Eine niedrige PDN-Impedanz begrenzt außerdem die Ausbreitung des Rauschens überall auf der Platine. Versorgungspins, Signalpins und Durchkontaktierungen können alle zu Rauschen führen, das sich über die Leiterplatte ausbreitet und andere Schaltungen beeinträchtigt (**Bild**). Die Präsenz von Pfaden niedriger Impedanz zwischen Power und Masse fördert Rückflussströme. Da Rauschen im Grunde aus ungelösten Rückflussströmen besteht, helfen diese Pfade, die Probleme mit dem Rauschen zu eliminieren.

Ergebnisse der Pre-Route-Rauschanalyse eines Stromverteilungsnetzwerks



## 1 IMPEDANZ & FREQUENZ



**Bild 1. Impedanz eines Stromverteilungsnetzes im Vergleich zur Frequenz; berechnet mit HyperLynx 8.0**

und schrumpfende Leiterplattenfläche für die Kondensatoren machen diese Aufgabe sehr komplex.

Das PDN besteht aus einer Kombination von DC/DC-Wandler oder Spannungsreglermodul (Voltage Regulator Module, VRM) zur Spannungsversorgung der Schiene, Entkopplungskondensatoren zwischen Power und Masse, den Lagen und/oder Leiterbahnen für die Stromübertragung, On-Chip-Decoupling sowie den Pins und Durchkontaktierungen, die all diese Elemente verbinden. Bis ungefähr 1 MHz kann das VRM sehr effektiv einen Pfad niedriger Impedanz zwischen Power und Masse zur Verfügung stellen. Für die restlichen Frequenzen müssen die Platinen- und Chip-Kondensatoren die niedrige Impedanz zwischen Power und Masse bereitstellen.

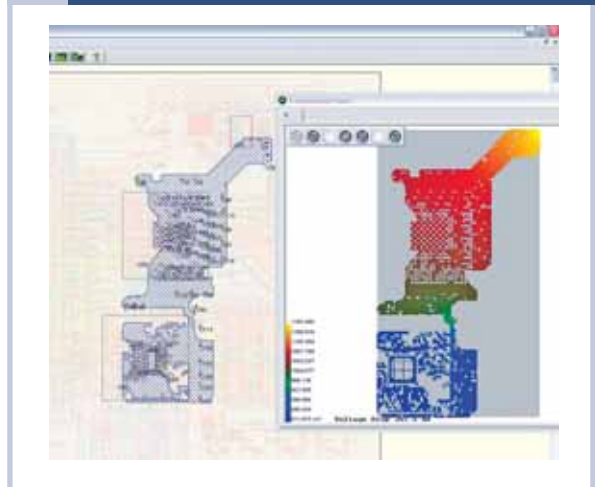
Die Platinen- und Chip-Kondensatoren sind parallel geschaltet, aber jeweils in der Effektivität durch ihre Parasitärinduktivitäten und Widerstände begrenzt. Ohne Störeffekte würden alle Kondensatoren zusammen eine große Kapazität bilden, die einer abnehmenden Impedanz mit steigender Frequenz entspricht. Leider ist jede Kapazität nur in einem bestimmten Frequenzbereich effektiv, den ihre Parasitärinduktivität bestimmt. Sehr große Elektrolytkondensatoren erreichen eine niedrige Impedanz bei einer geringeren Frequenz als kleine SMD-Kondensatoren. Aber weil die Parasitärinduktivität eines Elektrolytkondensators größer ist, beginnt seine Impedanz bei einer niedrigeren Frequenz zu steigen als die von SMD-Kondensatoren.

Ein anderes Beispiel ist die inhärente Kapazität zwischen den Lagen einer Platine. Die Parasitärinduktivität der Lagen ist äußerst klein, was sie selbst bei höheren Frequenzen zu einer effektiven Kapazität macht. Da die Größe der Kapazität zwischen den Lagen üblicherweise durch ihre Fläche und den Abstand begrenzt wird, kann die Lagenkapazität bis zu höheren Frequenzen nicht mit einer niedrigen Impedanz gleichgesetzt werden. Deshalb ist jede der Platinenkapazitäten für einen bestimmten Frequenzbereich effektiv, und alle müssen zusammenarbeiten, um über den ganzen Frequenzbereich eine niedrige Impedanz zwischen Power und Masse erzielen zu können. **Bild 1** zeigt an einem Beispiel-Plot das Verhältnis von Impedanz und Frequenz.

### Der Einfluss von Chipgehäuse und Montage

Ein Faktor, der die Effektivität der Platinenkapazität begrenzt, ist die Induktivität des Chip-Gehäuses. Diese Induktivität kommt zu den Störeffekten der Platinenkapazität hinzu und macht sie über etwa 1 GHz unwirksam. Oberhalb 1 GHz stellt die On-Chip-Kapazität (die nicht durch die Induktivität des Gehäuses begrenzt ist) einen Pfad niedriger Impedanz zwischen Power und Masse zur Verfügung. Deshalb wird die Entkopplung der Platinen üblicherweise zwischen zirka 1 MHz und 1 GHz analysiert, und das PDN-Design der Platinen konzentriert sich auf die Minimierung der Impedanz zwischen diesen Frequenzen.

## 2 GLEICHSPANNUNGSABFALL



**Bild 2. Der Plot des Gleichspannungsabfalls entlang einer Platine ist das Ergebnis einer Analyse der Versorgungslagen mit HyperLynx 8.0**

Um Kondensatoren über den maximal möglichen Frequenzbereich effektiv zu machen, ist die Wahl des größtmöglichen Kapazitätswerts für eine bestimmte Parasitärinduktivität das oberste Ziel. Störeffekte für Entkopplungskondensatoren können sowohl inhärent sein als auch Störeffekte aufgrund der Montage. Die inhärenten Störeffekte, ESR (Effective Series Resistance) und ESL (Effective Series Inductance) sind Eigenschaften des Kondensators selbst. Zudem verursacht die Montage eines Kondensators unter Umständen erhebliche Induktivitäts- und Widerstandswerte. Reduziert man diese Montagestöreffekte, wird das den effektiven Frequenzbereich des Kondensators vergrößern. Die effektivste Methode ist, die Verbindungsfläche (Loop-Area) des Kondensators zwischen Power und Masse zu verkleinern. Das heißt, die Durchkontaktierungen so eng zusammen wie möglich zu platzieren und die Kondensatoren so nah wie möglich an Power und Masse unterzubringen.

### Keine Probleme mit dem Gleichstrom

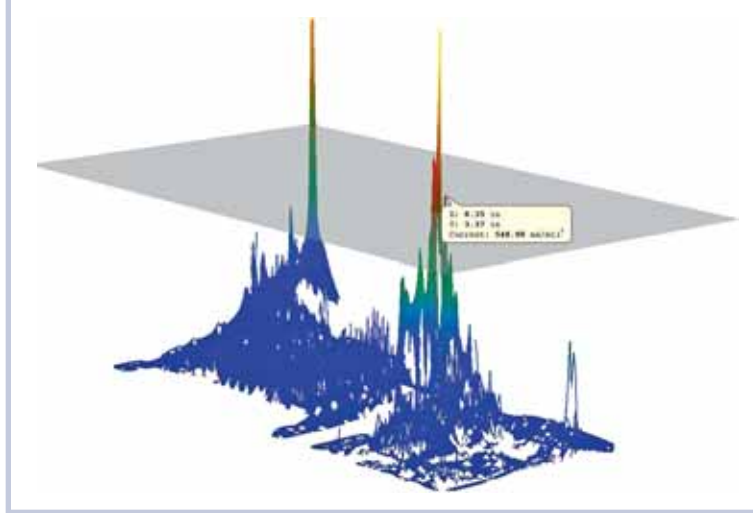
Gleichstrom ist hier viel weniger problematisch; Fehler können sich aber sehr viel stärker auswirken. Das Ziel muss es weiterhin sein, die Impedanz des PDN zu senken. Bei Gleichstrom ist das Hauptanliegen, eine adäquate Menge an Metall zur Verfügung zu stellen, um die bis zu zehnfache Stromstärke zu verteilen. Da man die Lagen aufteilt, um die steigende Zahl verschiedener Spannungen auf einer



## FAZIT

**Analyse hilft Probleme frühzeitig zu klären.** HyperLynx 8.0 unterstützt Entwickler beim Analysieren der Versorgungslagen moderner Leiterplattendesigns. Sie können mit diesem einfach zu implementierenden Tool einerseits funktionierende Stromversorgungssysteme entwickeln und wichtige „What if?“-Designfragen früh im Entwurfszyklus beantworten. Andererseits hilft das Werkzeug, den Einsatz von Prototypen und Herstellungs-Respins zu reduzieren sowie die Produktionskosten zu senken.

## 3 STROMDICHTEN



**Bild 3.** Gebiete mit hoher Stromdichte können die Platine zerstören, die Versorgung unterbrechen und einen Brandherd darstellen

Leiterplatte unterzubringen, kann das eine sehr schwierige Aufgabe sein.

Um Bereiche mit niedrigen Spannungen zu identifizieren, kann die Analyse der Lagenkonturen innerhalb des PDN helfen (**Bild 2**). Platinensegmente, bei denen die Spannung unter einen bestimmten Grenzwert abfällt, können bei ICs zu Funktionsfehlern führen, zum Beispiel zu Signalintegritätsproblemen und Logikfehlern. Ebenso wichtig sind Platinenbereiche mit hoher Stromdichte. Diese können von Engstellen herrühren, die bei der Partitionierung der Platine entstehen. Sie kommen aber auch häufig in dicht bestückten Steckern und IC-Pinfeldern vor, bei denen Antipads eine Menge Kupfer auf den Lagen elimi-

nieren. Bereiche mit hoher Stromdichte führen zu Spannungsabfällen, können aber auch Fehler auf der Platine nach sich ziehen. Eine sehr schmale Engstelle kann wie eine Sicherung wirken und letztlich die Versorgung unterbrechen. Wenn die Stromdichte hoch genug ist, kann es zu einem dielektrischen Durchschlag kommen, und die Platine kann sogar in Brand geraten. Deshalb ist es wichtig, Platinensegmente mit übermäßig hoher Stromdichte zu überwachen. Die Analyse des PDN bei Gleichstrom kann diese hilfreichen Informationen über die Stromdichte ebenfalls liefern (**Bild 3**). Genauso wichtig ist es, den Strom durch die Durchkontaktierungen, welche die Lagen miteinander oder

die VRMs mit den Lagen verbinden, zu überwachen. Durchkontaktierungen können ebenso als Engstellen und Bereiche mit hoher Stromdichte fungieren, was zu vergleichbaren Fehlern führt. (m/)

[www.EL-info.de](http://www.EL-info.de)

235501



## DER AUTOR

## PATRICK CARRIER

ist Technical-Marketing Engineer für Hochgeschwindigkeits-Leiterplatten-Analysewerkzeuge bei Mentor Graphics.

